

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-256856

(43)公開日 平成10年(1998)9月25日

(51) Int.Cl.⁸

識別記号

FI

H O 3 G 3/30

H03G 3/30

C

B

審査請求 有 ・ 請求項の数5 FD (全 8 頁)

(21)出願番号 特願平9-70836

(22)出願日 平成9年(1997)3月7日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 平井 伸博

東京都港区芝五丁目7番1号 日本電気株式会社内

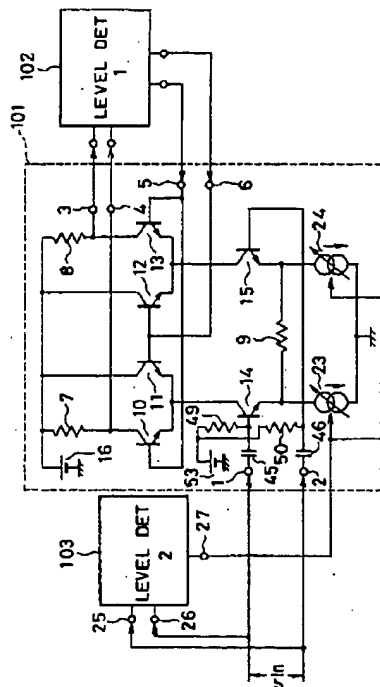
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 AGC回路

(57) 【要約】

【課題】 AGC回路を構成する双差動形VCA回路において、トランジスタのパラ数、サイズの増加が周波数特性を落とす問題を、入力信号レベルに応じて回路電流を制御することにより解消したAGC回路の提供。

【解決手段】VCA回路101に入力される信号レベルに応じた回路電流を流すように制御する手段として、入力信号レベルを検波するレベル検波回路103と、その検波出力によって制御される可変電流源23、24を備えて構成される。



【特許請求の範囲】

【請求項1】AGC回路を構成する双差動形電圧制御増幅回路に入力される信号レベルを検波するレベル検波回路と、

その検波出力によって制御される可変電流源と、
を備え、

入力される信号レベルに応じた回路電流を前記可変電流源から前記双差動形電圧制御増幅回路に流すように制御する、ようにしたことを特徴とするAGC回路。

【請求項2】可変電流源の電流を回路電流とする双差動形の電圧制御増幅回路と、

前記電圧制御増幅回路の出力信号をその入力としてこれをレベル検波し前記電圧制御増幅回路に対する利得制御電圧を与える第1のレベル検波回路と、

前記電圧制御増幅回路に入力される入力信号を入力としこの入力信号をレベル検波して前記電圧制御増幅回路の前記可変電流源の電流を制御するための信号を与える第2のレベル検波回路と、

を備えたことを特徴とするAGC回路。

【請求項3】第1の抵抗を介してエミッタが接続され、第1の差動対を構成する第1、及び第2のトランジスタと、

前記第1の抵抗の両端に各々接続される第1、及び第2の可変電流源と、

前記第1のトランジスタのコレクタに、エミッタが共通接続され、第2の差動対を構成する第3、第4のトランジスタと、

前記第2のトランジスタのコレクタに、エミッタが共通接続され、第3の差動対を構成する第5、第6のトランジスタと、

前記第3、第6のトランジスタのコレクタにそれぞれ接続される第2、及び第3の抵抗と、

を備え、

前記第1、第2のトランジスタのベースは、入力信号を入力する入力端子に接続され、

前記第3、第6のトランジスタのコレクタと、前記第2、第3の抵抗とのそれぞれの接続点を出力端子に接続し、

前記第3、及び第6のトランジスタのベースが共通接続される接続点と、前記第4、及び第5のトランジスタのベースが共通接続される接続点と、を利得制御端子に接続してなる電圧利得制御増幅器（「VCA」という）と、

前記出力端子からの出力信号をレベル検波し前記利得制御端子への制御電圧を出力として与える第1のレベル検波回路と、

を備え、更に、

前記入力端子への入力信号をレベル検波し、そのレベル検波出力により、前記第1、及び第2の可変電流源の電流値を制御する第2のレベル検波回路を備えて構成され

てなることを特徴とするAGC回路。

【請求項4】前記第1、第2の可変電流源が、前記入力信号のレベルの増大するときには、その電流値を増大し、

前記入力信号のレベルの減少するときには、その電流値を減少するように、前記第2のレベル検波回路のレベル検波出力によって制御される、ことを特徴とする請求項3記載のAGC回路。

【請求項5】前記第1、第2の可変電流源が、

前記VCAの利得の増大するときには、その電流値を減少し、

前記VCAの利得の減少するときには、その電流値を増大するように、前記第2のレベル検波回路のレベル検波出力によって制御される、ことを特徴とする請求項2記載のAGC回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、AGC（Auto Gain Control；自動利得制御）回路に関する。

【0002】

【従来の技術】従来のAGC回路は、例えば図6に示すように、エミッタが抵抗9を介して接続され、入力信号がベースに入力される差動対トランジスタ14、15と、利得制御電圧が端子5、6よりベースに印加される双差動対トランジスタ10、11、12、13と、差動対トランジスタ14、15のベースに接続された定電流源17、18と、双差動対トランジスタを構成するトランジスタ10、13のコレクタに接続された負荷抵抗7、8より構成される電圧制御増幅回路（Voltage Controlled Amplifier；「VCA」と略記する、なお電圧利得制御増幅回路ともいう）101と、VCA101の出力信号を入力とし、VCA101の利得制御電圧となる直流電圧を出力するレベル検波回路102と、を有している。なお、図6に示した双差動対を含むVCA101を双差動形VCAという。

【0003】端子1、2間に入力された信号 v_{in} は、VCA101によって増幅され、その出力信号は、レベル検波回路102により検波され、その検波出力は、VCA101に対して端子5、6から利得制御電圧として帰還される。これにより、双差動対トランジスタを構成するトランジスタ10、13と負荷抵抗7、8との各接続点に接続された端子3、4間には、一定のレベルの信号が常に出力される。

【0004】したがって、VCA101の利得は、入力信号レベルによって変化し、そのレベルが最小のとき最大利得状態となる。またこのとき、トランジスタ10、13に流れる電流値も最大となる。

【0005】ところで、使用トランジスタのサイズ、パラ数の選択基準の一要素として、トランジスタに流れる電流の大きさがある。ここで、「パラ数」とは、複数の

トランジスタをベース、エミッタ、コレクタ各々の端子において共通接続する場合のそのトランジスタ数という。

【0006】そして、半導体装置の微細化の進展に伴い、トランジスタのサイズが小さくなると、トランジスタの各端子のコンタクト付近のアルミ（配線）の断面積も小さくなる。その結果、コンタクト付近のアルミを流れる電流密度が大きくなり、これは、部分的な熱損失の増大につながる。またバラ数を小さくしても同様の現象を起こす。この結果、一般的に、信頼性の観点から、そのトランジスタに最大の電流が流れたときも、許容し得るように、サイズ、バラ数の大きさを選択することとなる。

【0007】したがって、トランジスタ10、13のサイズ、バラ数は、最大利得状態に流れる最大電流を許容する大きさに設定される。

【0008】

【発明が解決しようとする課題】しかしながら、上記した従来のAGC回路においては、VCA101において例えば高周波信号を扱うときの比較的大きな電流（数mAオーダー）を流すことが必要な場合に、トランジスタ10、13に流れる最大電流も大きくなり、その結果、信頼性の制限により、トランジスタ10、13のサイズ、バラ数もその分大きくする必要がある。

【0009】図6に示した双差動形VCA回路101において、トランジスタ10、13に付随する寄生容量は、そのf特（周波数特性）に対し支配的であり、最大電流の増加に伴うトランジスタ10、13のサイズ、バラ数の増大は、f特を下げるという問題点があった。

【0010】したがって、本発明は、AGC回路を構成する双差動形VCA回路において、トランジスタのバラ数、サイズの増加が、f特を落とすという問題点を解消すべくなされたものであって、その目的は、入力信号レベルに応じて回路電流を制御することにより上記問題点を解消するようにしたAGC回路を提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成する本発明のAGC回路は、AGC回路を構成する双差動形VCA回路に入力される信号レベルを検波するレベル検波回路と、その検波出力によって制御される可変電流源を備え、入力される信号レベルに応じた回路電流を前記可変電流源から前記双差動形VCAに流すように制御することを特徴とする。

【0012】

【発明の実施の形態】本発明の好ましい実施の形態について以下に説明する。本発明は、その好ましい実施の形態において、可変電流源（図1の23、24）の電流を回路電流とする双差動タイプのVCA回路（図1の101）と、このVCA回路の出力信号を入力とし、VCA

回路の利得制御電圧を出力として与える第1のレベル検波回路（図1の102）と、VCA回路に入力される入力信号を共通に入力とし、VCA回路の可変電流源（図1の23、24）の電流を制御する出力を与える第2のレベル検波回路（図1の103）と、を備えて構成されている。

【0013】本発明のAGC回路は、その好ましい実施の形態において、双差動形VCAとその出力を検波するレベル検波回路に加えて、VCAの入力信号レベルを検波する第2のレベル検波回路を設けることにより、入力信号レベルに応じて、VCAの回路電流を抑え、その結果、双差動形VCA回路の出力部のトランジスタのサイズ、バラ数を小さくすることができ、当該トランジスタに付随する寄生容量も小さくなり、その分、VCAのf特（周波数特性）を伸ばすことができる、という作用効果を奏する。

【0014】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例を図面を参照して以下に説明する。

【0015】図1は、本発明の第1の実施例のAGC回路の回路構成を示す図である。図1を参照すると、本実施例のAGC回路において、第1の抵抗（エミッタ抵抗）9を介してエミッタが接続され、第1の差動対を構成する第1、第2のトランジスタ14、15と、第1の抵抗9の両端にそれぞれ接続される第1、第2の可変電流源23、24と、第1のトランジスタ14のコレクタに、エミッタが共通接続され、第2の差動対を構成する第3、第4のトランジスタ10、11と、第2のトランジスタ11のコレクタに、エミッタが共通接続され、第3の差動対を構成する第5、第6のトランジスタ12、13と、第3のトランジスタ10のコレクタに接続される第2の抵抗7と、第6のトランジスタ13のコレクタに接続される第3の抵抗8と、を備え、第1、第2のトランジスタ14、15のベースは入力信号 v_{in} の入力端子1、2にコンデンサ45、46を介して接続しており、第3、第6のトランジスタ10、13のコレクタと第2、第3の抵抗7、8との接続点を出力端子3、4に接続し、第3、第6のトランジスタ10、13のベースが共通接続される接続点と、第4、第5のトランジスタ11、12のベースが共通接続される接続点を利得制御端子5、6に接続してなる電圧制御増幅器（「VCA」という；なお電圧利得制御増幅器ともいう）と、出力端子3、4からの出力信号をレベル検波し利得制御端子5、6への制御電圧を出力として与える第1のレベル検波回路102と、を備え、更に、入力端子1、2への入力信号をレベル検波し、そのレベル検波出力により、第1、第2の可変電流源23、24の電流値を制御する第2のレベル検波回路103を備えて構成されている。

【0016】入力端子1、2間に入力された信号 v_{in} は

VCA101によって増幅され、出力端子3、4から出力される出力信号は第1のレベル検波回路102によって検波され、その検波出力は、VCA101に利得制御端子5、6から利得制御電圧として帰還される。これにより出力端子3、4間には一定のレベルの信号が常に出力される。

【0017】また、VCA101への入力信号 v_{in} は、同時に、第2のレベル検波回路103によって検波され、その検波出力は、第1、第2の可変電流源23、24を制御する。

【0018】ここで、第1、第2の可変電流源23、24の電流値は、入力信号 v_{in} のレベルに対し、十分な入力ダイナミックレンジを与えるように制御される。ただし、十分な入力ダイナミックレンジを与える、ということは、入力端子1、2間に入力信号に歪を生じさせないような直流電位差を持たせることを意味する。

【0019】以下では、具体的に数値をあげて説明する。

【0020】例えば、入力端子1、2間への入力信号のレベルが、最大レベル $v_{max}=200\text{mVpp}$ 、最小レベル $v_{min}=10\text{mVpp}$ の間で変動する場合について考える。ただし、単位Vppとは信号振幅のPeak to Peak (ピークツーピーク) のことを示している。

【0021】エミッタ抵抗9の抵抗値を $R_9=40\Omega$ 、第2、第3の抵抗(負荷抵抗)7、8の抵抗値を $R_L=500\Omega$ とする。また出力端子3、4間には、一定信号レベル $v_{out}=200\text{mVpp}$ が得られるように、第1のレベル検波回路102により帰還制御されている。

【0022】まず最大レベル $v_{max}=200\text{mVpp}$ のときを考えると、十分な入力ダイナミックレンジを得るためには第1、第2の可変電流源23、24の電流値 I_0 として、

【0023】

【数1】

$$I_0 \approx 2.5\text{mA}$$

【0024】が必要となる。

【0025】次に、最小レベル $v_{min}=10\text{mVpp}$ のときを考える。一定出力レベル $v_{out}=200\text{mVpp}$ を出力端子3、4間に得るには、双差動対トランジスタを構成するトランジスタ10、13には、可変電流源の電流値 I_0 の約8割の電流が流れることになる。ここで、 I_0 が略2.5mAのままであれば、すなわち、

【0026】

【数2】

$$I_0 \approx 2.5\text{mA}$$

【0027】トランジスタ10、13には、約2mAの電流が流れる。しかし、入力信号レベルが小さくなった分、実際は、可変電流源の電流も小さくでき、 $v_{min}=10\text{mVpp}$ に対して、 I_0 を略200 μA

【0028】

【数3】

$$I_0 \approx 200\mu\text{A}$$

【0029】にしても、 $200\mu\text{A} \times 50\Omega \times 2 = 20\text{mV}$ となり、十分な入力ダイナミックレンジが得られる。

【0030】このとき、トランジスタ10、13に流れる電流は約160 μA となり、前の場合と較べて1/10以下の電流値に抑えられる。

【0031】このように、入力信号レベルに応じて、可変電流源の電流値 I_0 をしぼる制御を、入力レベルの変動幅に亘って(すなわち最小レベル v_{min} ～最大レベル v_{max})行なうことにより、トランジスタ10、13を流れる電流値は定常的に抑えられ、その分、双差動対の出力部を構成するトランジスタ10、13のサイズ、パラ数を小さくすることができる。そして、これは、トランジスタ10、13に付随する寄生容量の減少を意味しており、VCA101のf特(周波数特性)が上記した従来技術のものより伸びるという作用効果を生む。

【0032】図2は、本発明のAGC回路の第2の実施例の回路構成の詳細を示す図である。図2には、図1に示した第2のレベル検波回路103の回路構成、及び可変電流源23、24の回路構成の一例が示されている。図2において、図1と同一又は同等の機能の要素には、同一の参照符号を付し、また同一要素の説明は省略する。

【0033】図2を参照すると、入力端子1、2間に入力される入力信号 v_{in} は、同時に、入力端子25、26間にも入力される。入力された信号は、差動対トランジスタ36、37、及び抵抗32、33より成る回路で全波整流され、かつ、コンデンサ44により平滑され、直流電圧として端子42に出力される。

【0034】端子42に出力される電圧は、オペアンプ40、トランジスタ38、及び抵抗34から成る電圧-電流変換回路によって、電流として、トランジスタ39に流れ込む。

【0035】この電流が、制御電流となり、各々トランジスタ30、抵抗28、トランジスタ31、抵抗29で構成される2つの電流源の電流値を制御する。

【0036】以下に具体的な回路動作の説明を記す。

【0037】ただし、各抵抗値、各電圧値、及び電流値を以下のようにおく。

【0038】

抵抗9： R_9 、

抵抗7、8： R_L 、

抵抗32、33、34： R_{32} 、 R_{33} 、 R_{34} 、

抵抗35、28、29： R_{35} 、 R_{28} 、 R_{29} 、

バイアス54の電圧： V_B 、

トランジスタのベース・エミッタ間電圧を V_{BE} 、補正電流源41の電流値を I_C とおく。

50 【0039】端子25、26間に信号が入力されると、

端子42に入力信号レベルに応じた電圧降下が生じる。この絶対値が、検波出力 $V_{DET}(v_{in})$ である。ここで()内の v_{in} は、検波出力 V_{DET} が v_{in} の関数であることを示す。

【0040】検波出力 $V_{DET}(v_{in})$ は、一般的に、図4に示すようなカーブ特性をもち、また、その傾きは、 R_{32}/R_{33} (R_{32} 、 R_{33} は図2の抵抗32、33の抵抗値)によって決まる。

【0041】図2を参照して、電源16と端子42間の無信号時の直流電圧は、

$$(R_{32}/R_{33})(V_B - V_{BE}) + I_C R_{32} \quad \dots(1)$$

であり、よって、信号入力時では

$$(R_{32}/R_{33})(V_B - V_{BE}) + I_C R_{32} + V_{DET}(v_{in}) \quad \dots(2)$$

となる。

$$I_0 = \frac{I}{R_{34}} \left[\left\{ \frac{R_{32}}{R_{33}} (V_B - V_{BE}) + I_C R_{32} \right\} + V_{DET}(v_{in}) \right] \quad \dots(3)$$

【0044】これにより、入力端子1、2間には、次式(4)の入力ダイナミックレンジ V_{DR} が確保されることになる。

$$V_{DR} = 2 v_T + 2 I_0 R_E \quad \dots(4)$$

$$= 2 v_T + \frac{R_{32} R_E}{R_{34}} \left\{ \frac{V_B - V_{BE}}{R_{33}} + I_C \right\} + \frac{R_E}{R_{34}} V_{DET}(v_{in}) \quad \dots(4)$$

【0046】但し、 $v_T = kT/q$ であり、 T は絶対温度、 q は電子の単位電荷、 k はボルツマン定数である。

【0047】したがって、 R_{32} 、 R_{33} 、 R_{34} 、 I_C 、 V_B を適当に設定することにより、変動する入力信号レベル($v_{min} \sim v_{max}$)に対し、その大きさに応じて十分な入力ダイナミックレンジを確保しつつ、可変電流源の電流値 I_0 をしぼるという制御を行うことができる。

【0048】図5は、このような設定条件での、入力ダイナミックレンジ V_{DR} と入力信号レベル v_{in} との関係を模式的に図解したものである。図5には、 $v_{min} \sim v_{max}$ で $V_{DR} > v_{in}$ となっていることが示されている。

【0049】以上より、結果として上記実施例と同様、トランジスタ10、13を流れる電流値が抑えられ、サイズ、バラ数の縮小により、VCA101のf特が伸び★

$$V_{DR}' = 2 v_T + \frac{R_E}{R_{34}} \left\{ (V_{56} - V_{55}) + \frac{R_B}{R_A} V_{DET}'(v_{in}) \right\} \quad \dots(5)$$

【0053】ただし、

バイアス55の電圧： V_{55} 、

バイアス56の電圧： V_{56} 、

抵抗58、59： R_A 、

抵抗60、61： R_B 、

であり、またレベル検波出力 $V_{DET}'(v_{in})$ は、入力信号 v_{in} によるトランジスタ36、37の接続点の電圧降下分についてその絶対値をとったものである。

【0054】したがって、 R_{34} 、 R_A 、 R_B 、 V_{56} 、 $V_{55} \star 50$

*【0042】この電圧は、抵抗 R_{34} で電流に変換され、トランジスタ39に流れ込む。トランジスタ39、30、31はカレントミラー回路を構成しており、例えば、トランジスタ39、30、31のエミッタ面積が等しい同種類のものとし、且つ、それぞれのエミッタ抵抗が $R_{35} = R_{28} = R_{29}$ のとき、トランジスタ30、及び抵抗28、トランジスタ31、及び抵抗29から成る可変電流源の電流値 I_0 は、次式(3)にて示される。

【0043】

10 【数4】

*【0045】

【数5】

※20

★ることとなる。

【0050】図3は、本発明の第3の実施例のAGC回路を示す回路図である。以下では、本発明の第3の実施例について、前記第2の実施例との相違点について説明するものとする。図3を参照して、この実施例と前記第2の実施例との主な相違点は、トランジスタ36、37のエミッタ側でレベル検波出力電圧をとり、かつその電圧をオペアンプ40を用いた負帰還増幅器で抵抗比倍している点である。

【0051】本実施例によって得られる入力ダイナミックレンジ V_{DR}' は次式(5)のとおりとなる。

【0052】

【数6】

☆を適当に設定することにより、前記第2の実施例とほぼ同様の効果を得ることができる。

【0055】

【発明の効果】以上説明したように本発明によれば、VCAとその出力を検波するレベル検波回路に加え、VCAの入力信号レベルを検波する第2のレベル検波回路を設けることにより、入力信号レベルに応じて、VCAの回路電流を抑えるように制御することを可能としたものであり、その結果、出力部に接続されるトランジスタの

サイズ、パラ数を小さくすることができ、トランジスタに付随する寄生容量も小さくなり、その分VCAのf特（周波数特性）が伸びるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路構成を示す図である。

【図2】本発明の第2の実施例の回路構成を示す図である。

【図3】本発明の第3の実施例の回路構成を示す図である。

【図4】本発明の第2の実施例を説明するための図であり、図3の端子4 2に出力されるレベル検波出力のカーブ特性を示す図である。

【図5】本発明の第2の実施例を説明するための図であり、入力ダイナミックレンジ特性の説明図である。

【図6】従来のAGC回路の回路構成を示す図である。

【符号の説明】

1、2 VCA入力端

3、4 VCA出力端

5、6 VCA利得制御端子

7～9、28、29、32～35 抵抗

10～15、30、31、36～39 トランジスタ

16 電圧源

17、18、41 定電流源

23、24 可変電流源

25、26 レベル検波回路入力端

27 レベル検波回路出力

25、26 トランジスタ36、37のベース端子

40 OPアンプ

10 42 トランジスタ36、37のコレクタ接続端子

44～48 コンデンサ

49～52 抵抗

53、54、55、56 バイアス

57～61 抵抗

62 トランジスタ

63、64 定電流源

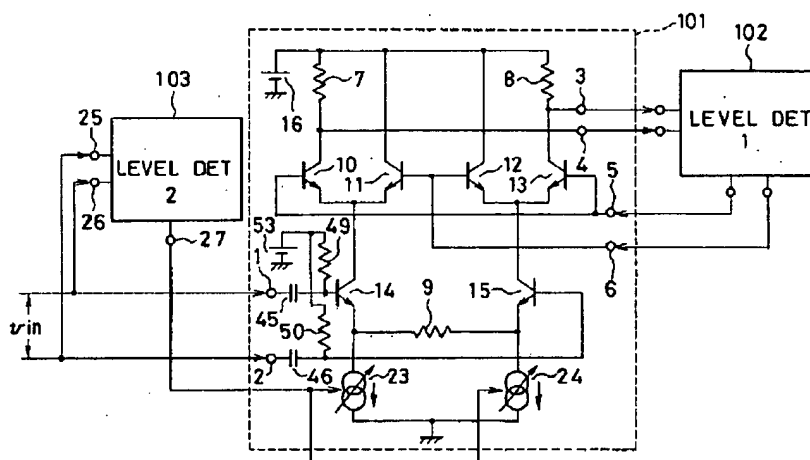
101 VCA

102 第1のレベル検波回路

103 第2のレベル検波回路

20

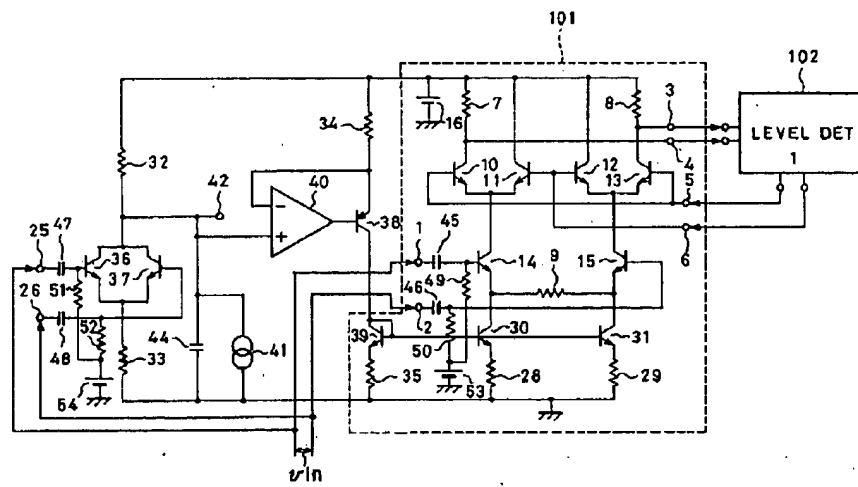
【図1】



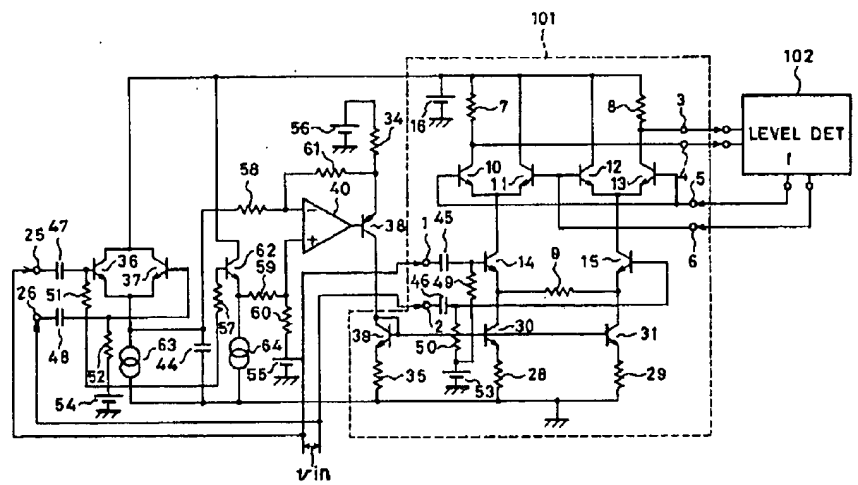
(7)

特開平10-256856

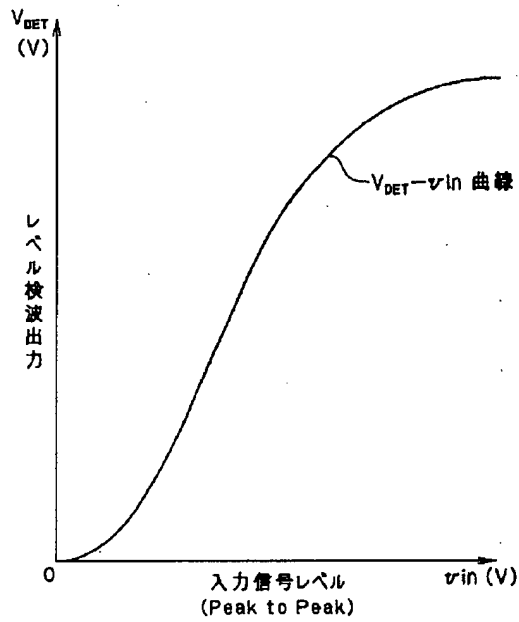
【図2】



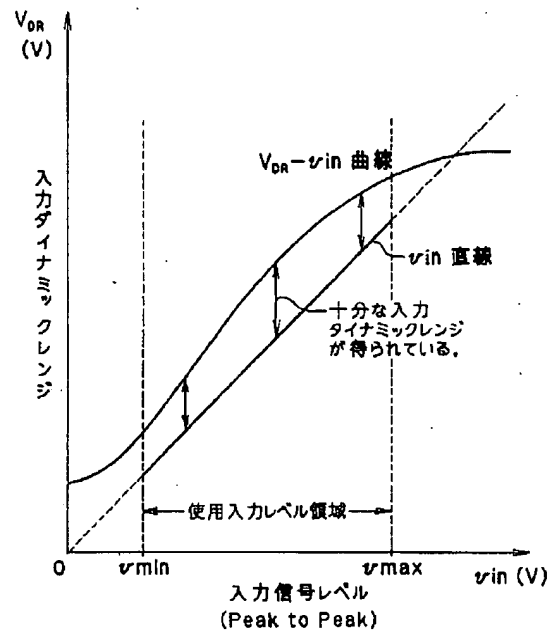
【図3】



【図4】



【図5】



【図6】

